

PAT-NO: JP406097438A

DOCUMENT-IDENTIFIER: JP 06097438 A

TITLE: INSULATED GATE TYPE SEMICONDUCTOR
DEVICE

PUBN-DATE: April 8, 1994

INVENTOR-INFORMATION:

NAME

MORIKAWA, MASATOSHI

YOSHIDA, ISAO

SAKAMOTO, MITSUZO

SEKI, KOICHI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP04241721

APPL-DATE: September 10, 1992

INT-CL (IPC): H01L029/784

US-CL-CURRENT: 257/288

ABSTRACT:

PURPOSE: To provide a MOS transistor for power which is small in the dispersion of threshold voltage and is resistant to breakdown strength and is optimum for driving with low voltage.

CONSTITUTION: In a MOS transistor, which has a base region 4, a low-resistance source region, and a polygonal source aperture, the fellow angles of adjacent base regions 4 are connected with each

other by a diffusion layer 14 so as to increase the concentration of impurities. In addition, it will do to thicken the thickness of the gate insulating film at the corner, or to remove the low-resistance source region 5 at the corner and add a p region to the corner so as to raise the concentration of impurities, or make the angle of the corner obtuse and bring it close to a circular arc so as to put the distance of expansion of the base region 4 at the corner on the same level as the case of a side. Hereby, the influence of the angle of the base region of a polygonal mesh gate can be removed, thus it has effects such as the improvement of the resistance to avalanche breakdown by the reduction of the dispersion of threshold voltage and the suppression of parasitic bipolar operation.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-97438

(43)公開日 平成6年(1994)4月8日

(51)IntCl⁵

H 0 1 L 29/784

識別記号

庁内整理番号

7377-4M

F I

H 0 1 L 29/ 78

技術表示箇所

3 0 1 W

審査請求 未請求 請求項の数10(全 8 頁)

(21)出願番号 特願平4-241721

(22)出願日 平成4年(1992)9月10日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 森川 正敏

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 吉田 功

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 坂本 光造

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 絶縁ゲート形半導体装置

(57)【要約】

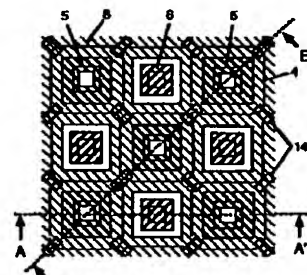
【目的】 しきい値電圧ばらつきが小さく、破壊に強い低電圧駆動に最適な電力用MOSトランジスタを提供すること。

【構成】 ベース領域4と低抵抗ソース領域5と多角形のソース開口部を有するMOSトランジスタにおいて、隣接するベース領域4の角同士を拡散層14で接続し、不純物濃度を高くした。他に、角におけるゲート絶縁膜15の厚さを辺よりも厚くしたり、角の低抵抗ソース領域5を除去したり、角にP形領域17を追加し、不純物濃度を高くしたり、角の角度を鈍角にして円弧に近づけ、角におけるベース領域4の拡がり距離を辺の場合と同程度にしても良い。

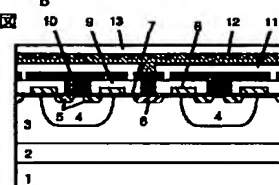
【効果】 多角形メッシュ・ゲートのベース領域の角の影響をなくことができ、しきい値電圧のばらつきの低減と、寄生バイポーラ動作の抑制によるアバランシェ破壊耐量の向上といった効果がある。

図1

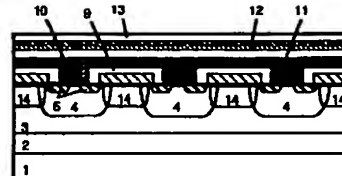
(a) 平面図



(b) A-A' 断面図



(c) B-B' 断面図



【特許請求の範囲】

【請求項1】ドレイン領域となる第1導電型の半導体基体表面に絶縁膜を介して形成されたゲート電極と、該ゲート電極に設けられた多角形のソース開口部から二重拡散によって形成された第2導電型のベース領域と第1導電型の低抵抗ソース領域によりチャネル領域が形成され、該ゲート電極に設けられたドレイン開口部に形成された第1導電型の低抵抗ドレイン領域を有し、該ソース開口部と該ドレイン開口部が複数個配置された絶縁ゲート形半導体装置において、

該ソース開口部の角におけるしきい値電圧が、該ソース開口部の辺におけるしきい値電圧に対して同等か、もしくは高いことを特徴とする絶縁ゲート形半導体装置。

【請求項2】該ソース開口部の角に形成される該ベース領域の角が、隣接する他のベース領域の角と第2導電型の拡散層により接続されていることを特徴とする請求項1の絶縁ゲート形半導体装置。

【請求項3】隣接するベース領域を接続する該拡散層の不純物濃度のピーク値が、該ベース領域の不純物濃度のピーク値よりも高いことを特徴とする請求項2の絶縁ゲート形半導体装置。

【請求項4】隣接するベース領域を接続する該拡散層の深さが、該ベース領域よりも浅いことを特徴とする請求項2の絶縁ゲート形半導体装置。

【請求項5】該ベース領域中に、該ベース領域より高濃度の第2導電型のウェル層が存在し、該ウェル層とベース領域を接続する該拡散層が同時に形成されていることを特徴とする請求項2の絶縁ゲート形半導体装置。

【請求項6】該ベース領域の角におけるゲート絶縁膜の厚さが該チャネル領域上のゲート絶縁膜よりも厚いことを特徴とする請求項1の絶縁ゲート形半導体装置。

【請求項7】該ソース開口部の角において、該低抵抗ソース領域が形成されないことを特徴とする請求項1の絶縁ゲート形半導体装置。

【請求項8】該ソース開口部の角に第2導電型の低抵抗拡散層が形成され、該拡散層の不純物濃度のピーク値が該ベース領域のピーク値よりも高いことを特徴とする請求項1の絶縁ゲート形半導体装置。

【請求項9】該ソース開口部の角の角度が、鈍角であることを特徴とする請求項1の絶縁ゲート形半導体装置。

【請求項10】請求項1の半導体装置により構成された出力回路と、該半導体装置よりも耐圧が低い素子により構成された制御回路を備えていることを特徴とする集積回路半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電力用絶縁ゲート形半導体装置に係り、特にしきい値電圧が1V以下の低ゲート電圧駆動用の、アバランシェ破壊に強い絶縁ゲート形半導体装置に関する。

【0002】

【従来の技術】ハード・ディスク・ドライバ(HDD)などのOA機器を対象として、パワーMOSFETを出力段に備えたドライバICであるインテリジェントパワーICが開発されている。このICの課題の一つとして、出力素子であるパワーMOSの低損失化があり、そのための構造の検討が行われている。低損失化に有効な構造としては、多角形のソース開口部とドレイン開口部が複数個配置された、いわゆるメッシュ・ゲート・パターンの横型DMOSFET(LDMOS)があり、これについては、1991年アイ・エス・ビー・エス・ディー、プロシーディング、第61頁から第64頁('91 ISPSD, Proceeding, pp. 61-64)に記載されている。これによると、ゲート電極に設けられたソース、ドレイン開口部は、正四角形を成し、チェッカー・ボードのように交互に配置されている。

【0003】

【発明が解決しようとする課題】上記従来技術によると、MOSFETのチャネル領域の形成は、次のように行われる。まず、ゲート電極のソース開口部をマスクとして、ほう素のイオン打込みを行い、その後、拡散によりベース領域を形成する。続いて、ほう素と同様にソース開口部をマスクにして砒素のイオン打込みを行い、ソース領域を形成する。このベース領域とソース領域の拡がりの差により、チャネル長が定義される。ここで、ソース開口部が多角形で角を有する場合、角におけるベース領域の横方向拡がりとは不純物濃度が、辺における拡がりとは不純物濃度に比べて小さくなることが知られている。従って、従来技術のような正四角形でも、角においてチャネル長が短くなり、しきい値電圧の低下、ばらつき、パンチスルーによる耐圧低下が現われ、また、寄生バイポーラトランジスタ動作によりアバランシェ破壊の原因となるという問題があった。この問題は、ベース濃度を下げ、しきい値電圧を低く設定するほど顕著に現われた。

【0004】本発明の目的は、しきい値電圧のばらつきが小さく、破壊に強い絶縁ゲート形半導体装置を提供することである。

【0005】

【課題を解決するための手段】上記目的は、ベース領域の角における短チャネル効果を抑制することで達成される。すなわち、隣接するベース領域の角同士を拡散層で接続し、不純物濃度を高くすること、角におけるゲート絶縁膜の厚さを厚くすること、角の低抵抗ソース領域を除去すること、角の不純物濃度を高くすること、さらに、角の角度を鈍角にすること、これらの組合せにより達成される。

【0006】

【作用】ベース領域の角を不純物濃度の濃い拡散層でつなげることは、ベース領域の角のチャネル長を実効的に

長くし、短チャネル効果を抑制する。角におけるゲート絶縁膜の厚さを厚くすることにより、絶縁膜直下のベース領域表面の反転電圧を高くする。角のソース領域を除去することで、角の影響を無視できる。また、角の不純物濃度を高くすることで、バンチスルーを抑制できる。角の角度を鈍角にするほど、横方向の拡がり距離は辺の場合に近づけることができる。

【0007】

【実施例】以下、本発明の一実施例を図1により説明する。図1は、メッシュゲートLDMOSセル部の平面図とA-A'断面図、B-B'断面図を示している。1がP形シリコン基板、2が低抵抗N形埋込層、3がN形エピタキシャル層、4がP形ベース領域、5が低抵抗N形ソース領域、6が低抵抗N形ドレイン領域、7がゲート絶縁膜、8がゲート電極、9が層間絶縁膜、10が第一層目の金属電極、11が層間絶縁膜、12が第二層目の金属電極、13が表面安定化のための保護膜、14が隣接するベース領域4の角同士を接続する拡散層である。

【0008】図1の構造を更に細かく説明するために、図2の製造工程を説明する。まず図2(a)において、比抵抗 $10\Omega\cdot\text{cm}$ 、面方位(100)のP形シリコン基板1にリンの熱拡散を行い、低抵抗N形埋込層2を形成し、その上に比抵抗 $0.4\Omega\cdot\text{cm}$ 、厚さ $10\mu\text{m}$ 程度のN形エピタキシャル層3を形成する。そして、表面酸化の後、ホトレジスト101をマスクとしたほう素のイオン打込み201とアニールを行い、拡散層14を形成する。次に図2(b)において、厚さ 350\AA のゲート絶縁膜7を形成後、厚さ $0.3\mu\text{m}$ の多結晶シリコンのゲート電極8をパターンニングする。続いて、ゲート電極8をマスクとしてほう素のイオン打込みを行った後、拡散を行い、深さ $1.8\mu\text{m}$ のP形ベース領域4を形成する。この時、ベース領域4の形成には、斜めイオン打込みを用いても良い。更に、ホトレジスト101とゲート電極8をマスクとした砒素のイオン打込み202とアニールを行い、低抵抗N形ソース領域5とドレイン領域6を形成する。その後、図2(c)のように、厚さ $0.6\mu\text{m}$ の絶縁膜9を形成し、ソース、ドレイン領域、ゲート電極のコンタクトを取るためのパターンニングを行った後、厚さ $0.5\mu\text{m}$ のAlの金属電極10を蒸着する。更に、図2(d)において、金属電極10のパターンニング後、層間絶縁膜11を形成し、スルーホールのパターンニングを行い、厚さ $1.0\mu\text{m}$ のAlの金属電極12を形成、パターンニングをする。最後に、表面保護膜13の形成とパターンニングを行い、終了する。

【0009】本実施例におけるベース領域の横方向不純物濃度分布を、図3に示す。図3において、A方向とは、ソース開口部の辺におけるベース領域の拡がりを示す。また、B方向とは、従来技術の角での拡がり、C方向とは、本実施例の角における拡がりそれぞれ示

す。AとBを比較すると、Bの横方向拡がり距離と不純物濃度のピーク値は、Aに比べて3割程度小さくなっている。本実施例では、Cのように拡散層を追加することで、角におけるベース領域の不純物濃度の低下をカバーしている。ここで、Cの拡散層の表面でもチャネルが形成されるため、Aのピーク濃度以上にCの濃度を設定する必要がある。また、追加した拡散層の幅は、最小マスク寸法程度に小さくし、深さもベース領域よりも浅いことが望ましい。それは、拡散層が角以外の領域まで形成されると、その分、チャネル幅が小さくなってしまふからである。

【0010】本実施例と従来技術における、しきい値電圧とベース領域イオン打込み量との関係を、図4に示す。従来技術に比べて、本実施例のしきい値電圧は 0.4V 程度大きくっており、ストライプパターンの場合と同程度である。これは、拡散層を追加することで、ベース領域の角の影響をなくしたことによる。

【0011】本実施例の実用上の効果を、図5に示す。図5は、 2mm 角チップの従来技術と本実施例について、アバランシェ破壊試験を行った結果である。負荷として、 $100\mu\text{H}$ のインダクタンスを使用している。従来技術では、ベース領域の角において、寄生のNPNトランジスタが動作するため、小さな電流で破壊している。これに対し、本実施例では、角においてNPNトランジスタは動作せず、破壊に強くなっている。また、角における電流成分はわずかであるため、本発明を用いたことによるオン抵抗の増大はない。

【0012】本発明の他の実施例を、図6により説明する。図6は、他の実施例であるメッシュゲートLDMOSセル部の平面図とA-A'断面図、B-B'断面図を示している。本実施例の特徴は、第一の実施例の拡散層14上の絶縁膜15の厚さが、チャネル領域のゲート絶縁膜7の厚さよりも十分に厚くなっていることである。

【0013】本構造の製造工程の例を、図7に示す。図7(a)において、拡散層14の形成後、表面酸化を行い、窒化シリコン102を形成する。続いて、窒化シリコン102のパターンニング後、表面酸化を行い、拡散層14上の酸化膜15の厚さを $0.6\mu\text{m}$ 程度に厚くする。この工程は、素子分離(LOCOS)と同時に進めてもよい。次に、窒化シリコン102を除去する。この後は、第一の実施例と同様であるので省略する。本実施例によると、ゲートに電圧を加えても、拡散層14表面にチャネルができにくくなるため、拡散層14の不純物濃度を高くする必要がない。また、拡散層14を追加したことによるゲート、ベース間の静電容量を低減することができる。さらに、拡散層14がない場合でも、実効的に角におけるしきい値電圧を高くすることができる。

【0014】本発明の他の実施例を、図8により説明する。図8は、他の実施例であるメッシュゲートLDMOSセル部の平面図とA-A'断面図、B-B'断面図を示し

5

ている。本実施例の特徴は、第一の実施例のベース領域4に、P形ウェル16を加えたことである。

【0015】本構造の製造工程の例を、図9に示す。図9(a)において、ベース領域4が形成される個所に、拡散層14と同時にP形ウェル16を形成する。ここで、拡散層14とP形ウェル16は、つながっていてもかまわない。これ以後の工程は、第一の実施例と同様であるので省略する。本実施例によれば、ベース領域の角の影響を無くするとともに、ソース領域直下のベース領域の濃度を濃くすることができるので、第一の実施例以上

に、破壊に強くすることが可能となる。なお、本実施例は、第二の実施例と組み合わせることも可能である。

【0016】本発明の他の実施例を、図10により説明する。図10は、他の実施例であるメッシュゲートLDMOSセル部の平面図とA-A'断面図、B-B'断面図を示している。本発明の特徴は、ソース開口部の角において、低抵抗ソース領域5を除去したことである。これにより、角の電流通路はなくなるため、角における短チャネル効果は現れない。また、削除の面積を最小限にすることで、本発明を用いたことによるオン抵抗の増大は現れない。

【0017】本発明の他の実施例を、図11により説明する。図11は、他の実施例であるメッシュゲートLDMOSセル部の平面図とA-A'断面図、B-B'断面図を示している。本発明の特徴は、ベース領域4の角に、比較的高いP形領域17を形成したことである。P形領域17の不純物濃度は、ベース領域4よりも高く、ソース領域5よりも低いことが望ましく、 $1 \times 10^{18} / \text{cm}^3$ 程度である。この形成は、ゲート電極8のパターンニング後、ゲート電極8とのセルフアラインで行う。本発明によっても、角におけるしきい値電圧を高くでき、短チャネル効果を抑えることができた。

【0018】本発明の他の実施例を、図12により説明する。図12は、他の実施例であるメッシュゲートLDMOSセル部の平面図を示している。本発明の特徴は、ソース開口部の角を鈍角として、ほぼ円弧にしたことである。本実施例の場合、開口部を16角形とし円弧に近づけることで、角におけるベース領域4の横方向拡がり距離を、辺とほぼ同程度にすることができた。

【0019】本発明の他の実施例を、図13により説明する。図13は、外部負荷であるモータ310を駆動する出力素子307を第一の実施例のLDMOSで構成した半導体集積回路306、出力素子307を制御するマイクロプロセッサ302等で構成されたハードディスクドライバ装置の構成図を示している。300がハードディスクドライバ制御基板全体、301がSCSIコントローラチップ、302がマイクロプロセッサチップ、303がデータプロセッサチップ、304がA/D変換器とD/A変換器チップ、305がアナログアンプチップ、306がモータドライバ集積回路チップ、310が

6

ヘッドアクチュエータ用モータである。また、モータドライバ集積回路チップ306において、307がモータ駆動用LDMOS、308が保護回路部、309が制御回路部である。ここで、311の電源電圧は、各チップ共通の3Vとなっている。この電源電圧で、出力用LDMOS307を完全にオンさせるために、LDMOS307のベース領域の不純物濃度を $2 \times 10^{13} / \text{cm}^3$ 程度に低くし、しきい値電圧を0.5Vとしている。従来技術によれば、ベース濃度を低くすることで、メッシュにおける短チャネル効果が一層顕著となり、しきい値電圧のばらつき、耐圧の低下、アバランシェ破壊が起こり、3V電源での使用はできなかった。しかし、本実施例により、角の影響をなくすることができ、しきい値電圧のばらつきが少なく、破壊に強い3V駆動のLDMOSを実現することができた。

【0020】

【発明の効果】本実施例によれば、多角形メッシュゲートのベース領域の角の影響をなくすることができるので、従来技術に比べて、しきい値電圧のばらつきの低減と、寄生バイポーラ動作の抑制による破壊耐量の向上といった効果がある。具体的には、ウェーハ内のしきい値電圧のばらつきを従来の $\pm 0.3 \text{ V}$ から $\pm 0.1 \text{ V}$ に、インダクタンス負荷駆動時のアバランシェ破壊電流を、従来技術の2倍以上に大きくすることができる。

【図面の簡単な説明】

【図1】本発明の第一の実施例であるメッシュゲートLDMOSセル部の平面図とA-A'断面図、B-B'断面図である。

【図2】図1の実施例の製造工程の例である。

【図3】図1の実施例のベース領域の横方向不純物濃度分布である。

【図4】図1の実施例のベース領域のイオン打込み量としきい値電圧の関係である。

【図5】図1の実施例の破壊試験結果である。

【図6】本発明の第二の実施例であるメッシュゲートLDMOSセル部の平面図とA-A'断面図、B-B'断面図である。

【図7】図6の実施例の製造工程の例である。

【図8】本発明の第三の実施例であるメッシュゲートLDMOSセル部の平面図とA-A'断面図、B-B'断面図である。

【図9】図8の実施例の製造工程の例である。

【図10】本発明の第四の実施例であるメッシュゲートLDMOSセル部の平面図とA-A'断面図、B-B'断面図である。

【図11】本発明の第五の実施例であるメッシュゲートLDMOSセル部の平面図とA-A'断面図、B-B'断面図である。

【図12】本発明の第六の実施例であるメッシュゲートLDMOSセル部の平面図である。

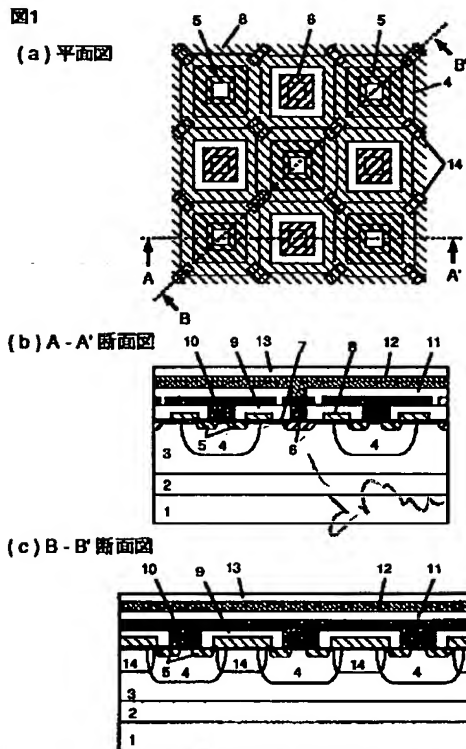
7

【図13】本発明の第七の実施例であるハードディスクドライバ装置の構成図である。

【符号の説明】

1…P形シリコン基板、2…低抵抗N形埋込層、3…N形エピタキシャル層、4…P形ベース領域、5…低抵抗N形ソース領域、6…低抵抗N形ドレイン領域、7…ゲート絶縁膜、8…ゲート電極、9…絶縁膜、10…第一層の金属電極、11…層間絶縁膜、12…第二の金属電極、13…表面安定化保護膜、14…拡散層、15…厚い絶縁膜、16…P形ウェル、17…P形領域

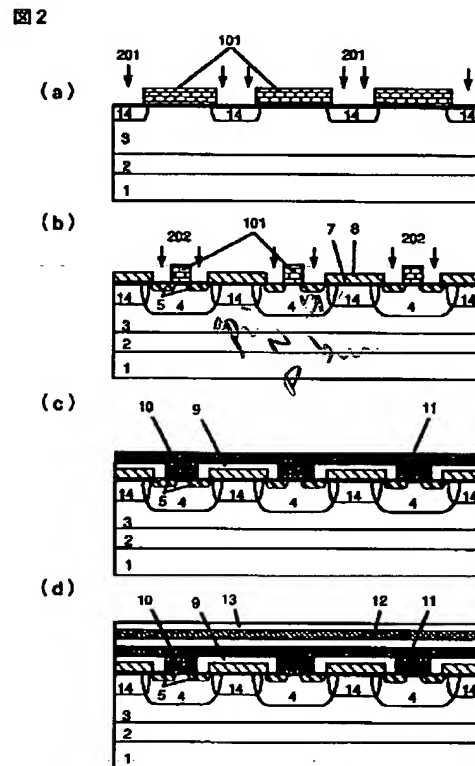
【図1】



8

101…ホトレジスト、102…窒化シリコン、201…ほう素イオン打込み、202…砒素イオン打込み、300…ハードディスクドライバ制御基板、301…SCSIコントローラチップ、302…マイクロプロセッサチップ、303…データプロセッサチップ、304…A/D変換器とD/A変換器チップ、305…アナログアンプチップ、306…モータドライバ集積回路チップ、307…モータ駆動用LDMOS、308…保護回路部、309…制御回路部、310…ヘッドアクチュエータ用モータ、311…電源電圧

【図2】



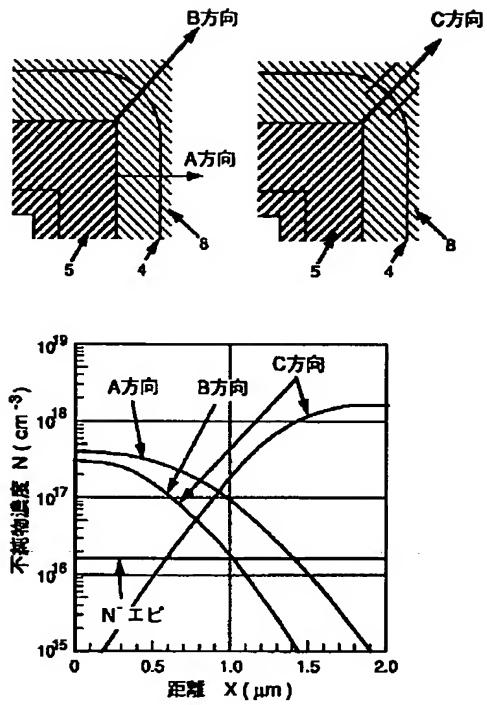
【図5】

図5

	アバランシェ破壊電流 I_0 (A)		
	0	5	10
従来技術			
本実施例			

【図3】

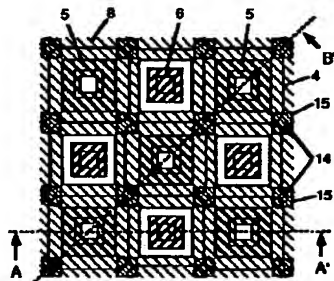
図3



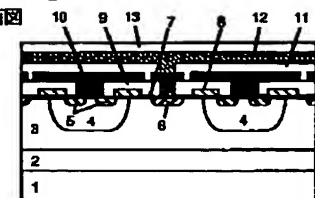
【図6】

図6

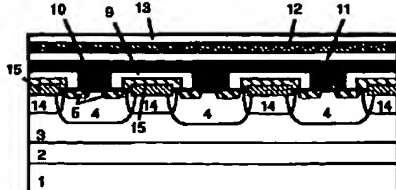
(a) 平面図



(b) A-A' 断面図

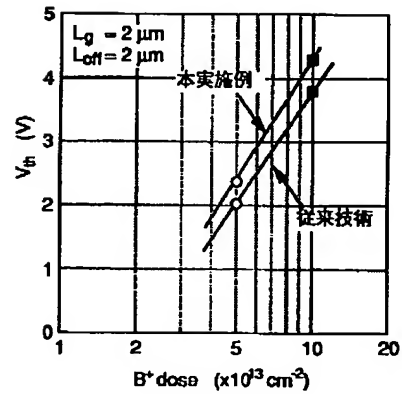


(c) B-B' 断面図



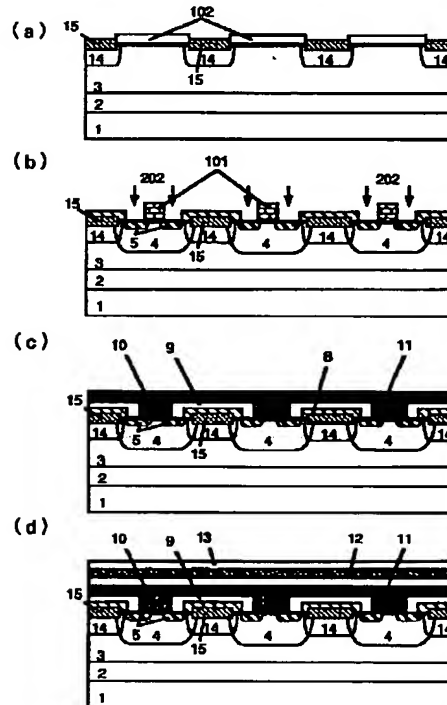
【図4】

図4



【図7】

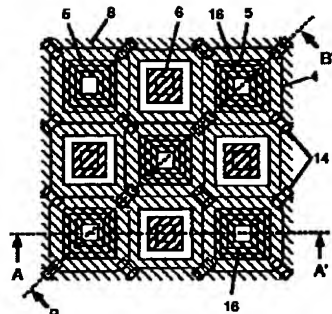
図7



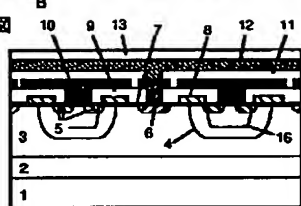
【図8】

図8

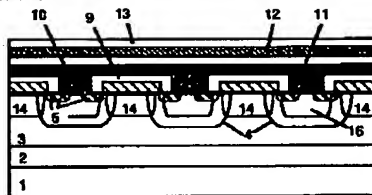
(a) 平面図



(b) A-A' 断面図



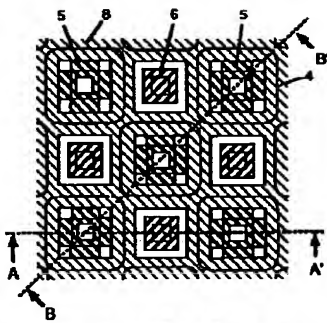
(c) B-B' 断面図



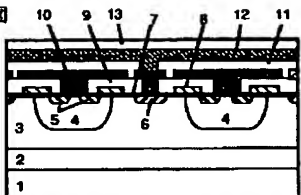
【図10】

図10

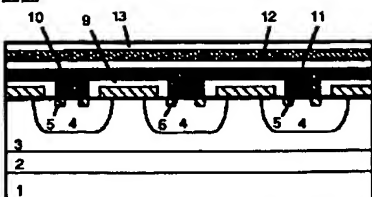
(a) 平面図



(b) A-A' 断面図



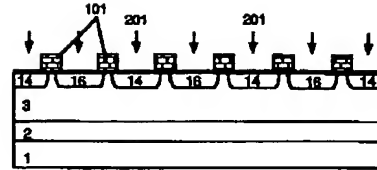
(c) B-B' 断面図



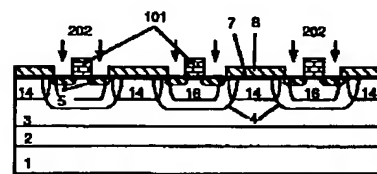
【図9】

図9

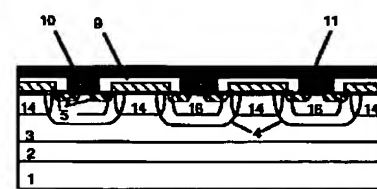
(a)



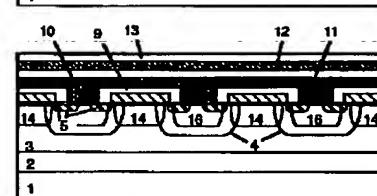
(b)



(c)

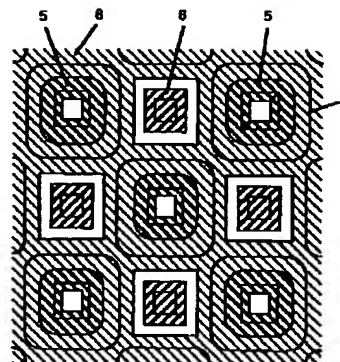


(d)



【図12】

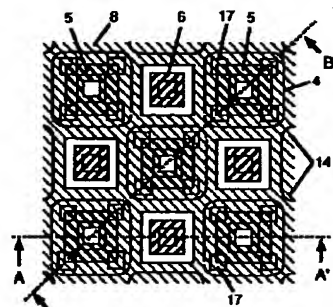
図12



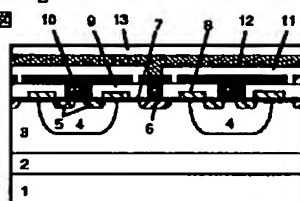
【図11】

図11

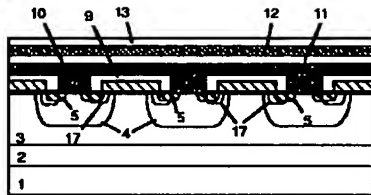
(a) 平面図



(b) A-A' 断面図

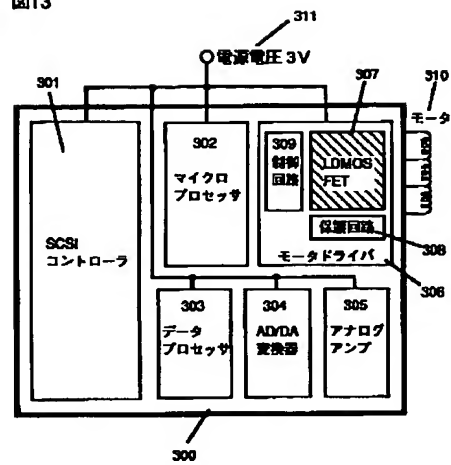


(c) B-B' 断面図



【図13】

図13



フロントページの続き

(72)発明者 関 浩一

東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view and A-A' sectional view and B-B' sectional view of the mesh gate LDMOS cel section which are the first example of this invention.

[Drawing 2] It is the example of the production process of the example of drawing 1 .

[Drawing 3] It is the longitudinal direction impurity atom concentration profile of the base region of the example of drawing 1

[Drawing 4] They are the amount of ion implantation of the base region of the example of drawing 1 , and the relation of a threshold electrical potential difference.

[Drawing 5] It is as a result of [of the example of drawing 1] a breakdown test.

[Drawing 6] It is the top view and A-A' sectional view and B-B' sectional view of the mesh gate LDMOS cel section which are the second example of this invention.

[Drawing 7] It is the example of the production process of the example of drawing 6 .

[Drawing 8] It is the top view and A-A' sectional view and B-B' sectional view of the mesh gate LDMOS cel section which are the third example of this invention.

[Drawing 9] It is the example of the production process of the example of drawing 8 .

[Drawing 10] It is the top view and A-A' sectional view and B-B' sectional view of the mesh gate LDMOS cel section which are the fourth example of this invention.

[Drawing 11] It is the top view and A-A' sectional view and B-B' sectional view of the mesh gate LDMOS cel section which are the fifth example of this invention.

[Drawing 12] It is the top view of the mesh gate LDMOS cel section which is the sixth example of this invention.

[Drawing 13] It is the block diagram of the hard disk driver equipment which is the seventh example of this invention.

[Description of Notations]

1 -- P type silicon substrate, 2 -- low resistance N type buried layer, and 3 -- an N type epitaxial layer, 4 -- P type base region, 5 -- low resistance N type source field, and 6 -- a low resistance N type drain field, 7 -- gate dielectric film, 8 -- gates electrodes, and 9 -- the metal electrode of an insulator layer and 10 -- first pass, 11 -- interlayer insulation film, and 12 -- the second metal electrode, 13 -- surface passivation protective coat, 14 -- diffusion layer, and 15 -- a thick insulator layer, 16 -- P type well, and 17 -- P type field

101 [-- A hard disk driver control board 301 / -- A SCSI controller chip, 302 / -- A microprocessor chip, 303 / -- A data-processor chip, 304 / -- An A/D converter, a D/A-converter chip, 305 / -- An analog amplifier chip, 306 / -- The Motor Driver integrated circuit chip, 307 / -- LDMOS for motorised, 308 / -- The protection network section, 309 / -- The control circuit section, 310 / -- The motor for head actuators, 311 / -- Supply voltage] -- A photoresist, 102 -- silicon nitride, 201 -- Boron ion implantation, 202 -- Arsenic ion implantation, 300

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the insulated-gate form semiconductor device for power, especially relates to an insulated-gate form semiconductor device with a threshold electrical potential difference strong against the avalanche destruction for the low gate voltage actuation not more than 1V.

[0002]

[Description of the Prior Art] The intelligent power IC which is the driver IC which equipped the output stage with power metal-oxide semiconductor field effect transistor for OA equipment, such as a hard disk driver (HDD), is developed. As one of the technical problems of this IC, there is low loss-ization of the power MOS which is an output component, and examination of the structure for it is performed. As structure effective in low-loss-izing, there is the so-called horizontal type DMOSFET of the mesh gate pattern with which two or more polygonal source openings and drain openings have been arranged (LDMOS), and this is indicated by the 64th page ('91ISPSD, Proceeding, pp.61-64) from insertion sequence P.S. Dee, a proceeding, and the 61st page in 1991. According to this, the source and drain opening which were prepared in the gate electrode accomplish a forward square, and are arranged by turns like a checker board.

[0003]

[Problem(s) to be Solved by the Invention] According to the above-mentioned conventional technique, formation of the channel field of MOSFET is performed as follows. First, ion implantation of boron is performed by using source opening of a gate electrode as a mask, and a base region is formed by diffusion after that. Then, source opening is used as a mask like boron, ion implantation of arsenic is performed, and a source field is formed. Channel length is defined by the difference of the flare of this base region and a source field. Here, when source opening has an angle with a polygon, it is known that the longitudinal direction flare and high impurity concentration of a base region in an angle will become small compared with the flare and high impurity concentration in the side. Therefore, also with a forward square like the conventional technique, in the angle, channel length became short, and the proof-pressure lowering by lowering of a threshold electrical potential difference, dispersion, and the punch through appeared, and there was a problem of becoming the cause of avalanche destruction by parasitism bipolar transistor actuation. This problem appeared so notably that lowering and a threshold electrical potential difference are low set up for base density.

[0004] The object of this invention has small dispersion in a threshold electrical potential difference, and it is offering an insulated-gate form semiconductor device strong against destruction.

[0005]

[Means for Solving the Problem] The above-mentioned object is attained by controlling the short channel effect in the angle of a base region. That is, the angles of an adjoining base region are connected by the diffusion layer, and it is further attained by making high impurity concentration high, thickening thickness of the gate dielectric film in an angle, removing the low resistance source field of an angle, making high impurity concentration of an angle high, using the include angle of an angle as an obtuse angle, and these combination.

[0006]

[Function] Connecting the angle of a base region by the diffusion layer with deep high impurity concentration lengthens channel length of the angle of a base region effectually, and it controls a short channel effect. By thickening thickness of the gate dielectric film in an angle, the turn over voltage on the front face of a base region directly under an insulator layer is made high. The effect of an angle can be disregarded by removing the source field of an angle. Moreover, a punch through can be controlled by making high impurity concentration of an angle high. In the case of the side, a lateral flare distance can be close brought, so that the include angle of an angle is used as an obtuse angle.

[0007]

[Example] Hereafter, drawing 1 explains one example of this invention. Drawing 1 shows the top view and A-A' sectional view and B-B' sectional view of the mesh gate LDMOS cel section. For 1, a P type silicon substrate and 2 are [a low resistance N type buried layer and 3] an N type epitaxial layer and the diffusion layer to which a low resistance N type drain field and 7 connect gate dielectric film to, and 8 connects [4 / a P type base region and 5 / a low resistance N type source field and 6] a gate electrode and the angles of the base region 4 where an interlayer insulation film and 12 adjoin [the metal electrode of a first pass eye, and 11], and the protective coat for surface passivation and 14 adjoin [9 / an interlayer insulation film and 10 / the metal electrode of the second layer, and 13].

[0008] In order to explain the structure of drawing 1 still more finely, the production process of drawing 2 is explained. First, thermal diffusion of Lynn is performed to the P type silicon substrate 1 of specific resistance 10 ohm-cm and field bearing (100), the low resistance N type buried layer 2 is formed in drawing 2 (a), and specific resistance 0.4 ohm-cm and the N type epitaxial layer 3 with a thickness of about 10 micrometers are formed on it. And the ion implantation 201 and annealing of boron which used the photoresist 101 as the mask are performed after scaling, and a diffusion layer 14 is formed. Next, in drawing 2 (b), pattern NINGU of the gate electrode 8 of polycrystalline silicon with a thickness of 0.3 micrometers is carried out after forming gate dielectric film 7 with a thickness of 350Å. Then, after performing ion implantation of boron by using the gate electrode 8 as a mask, diffusion is performed and the P type base region 4 with a depth of 1.8 micrometers is formed. Slanting ion implantation may be used for formation of a base region 4 at this time. Furthermore, the ion implantation 202 and annealing of arsenic which used the photoresist 101 and the gate electrode 8 as the mask are performed, and the low resistance N type source field 5 and the drain field 6 are formed. Then, like drawing 2 (c), the insulator layer 9 with a thickness of 0.6 micrometers is formed, and after performing pattern NINGU for taking contact of the source, a drain field, and a gate electrode, the metal electrode 10 of aluminum with a thickness of 0.5 micrometers is vapor-deposited. Furthermore, in drawing 2 (d), an interlayer insulation film 11 is formed after pattern NINGU of a metal electrode 10, pattern NINGU of a through hole is performed, and formation and pattern NINGU are carried out for the metal electrode 12 of aluminum with a thickness of 1.0 micrometers. Finally formation and pattern NINGU of the surface protective coat 13 are performed, and it ends.

[0009] The longitudinal direction impurity atom concentration profile of the base region in this example is shown in drawing 3. In drawing 3, the direction of A shows the flare of the base region in the side of source opening. Moreover, the direction of B shows a flare [in / for the flare in the angle of the conventional technique / in the direction of C / the angle of this example], respectively. If A is compared with B, the peak value of the longitudinal direction flare distance of B and high impurity concentration is small about 30 percent compared with A. At this example, lowering of the high impurity concentration of the base region in an angle is covered by adding a diffusion layer like C. Here, since a channel is formed also on the front face of the diffusion layer of C, it is necessary to set up the concentration of C more than the peak concentration of A. Moreover, width of face of the added diffusion layer is made small to minimum mask dimension extent, and it is desirable for the depth to be also shallower than a base region. That is because the part and channel width will become small if a diffusion layer is formed to fields other than an angle.

[0010] The relation between this example, the threshold electrical potential difference in the conventional technique, and the amount of base region ion implantation is shown in drawing 4. Compared with the conventional technique, about 0.4V of threshold electrical potential differences of this example is large, and they are comparable as the case of a stripe pattern. This is adding a diffusion layer and is because the effect of the angle of a base region was lost.

[0011] The practical effectiveness of this example is shown in drawing 5. Drawing 5 is the result of performing an avalanche breakdown test about the conventional technique and this example of 2mm angle chip. The inductance of 100 microhenries is used as a load. In the conventional technique, in the angle of a base region, in order that the NPN transistor of parasitism may operate, it is destroyed with the small current. On the other hand, in this example, in the angle, an NPN transistor does not operate but is strong to destruction. Moreover, the current component in an angle comes out only, and, for a certain reason, there is no buildup of the on resistance by having used this invention.

[0012] Drawing 6 explains other examples of this invention. Drawing 6 shows the top view and A-A' sectional view and B-B' sectional view of the mesh gate LDMOS cel section which are other examples. The description of this example is that the thickness of the insulator layer 15 on the diffusion layer 14 of the first example is thicker enough than the thickness of the gate dielectric film 7 of a channel field.

[0013] The example of the production process of this structure is shown in drawing 7. In drawing 7 (a), scaling is performed after formation of a diffusion layer 14, and silicon nitride 102 is formed. Then, scaling is performed after pattern NINGU of silicon nitride 102, and thickness of the oxide film 15 on a diffusion layer 14 is thickened at about 0.6 micrometers. This process may be performed simultaneously with isolation (LOCOS). Next, silicon nitride 102 is removed. After this, since it is the same as that of the first example, it omits. According to this example, even if it applies an electrical potential difference to the gate, since a channel becomes impossible on diffusion layer 14 front face easily, it is not necessary to make high high impurity concentration of a diffusion layer 14. Moreover, the electrostatic capacity between the gate by having added the diffusion layer 14 and the base can be reduced. Furthermore, even when there is no diffusion layer 14, the threshold electrical potential difference in an angle can be effectually made high.

[0014] Drawing 8 explains other examples of this invention. Drawing 8 shows the top view and A-A' drawing 7 sectional view and B-B' sectional view of the mesh gate LDMOS cel section which are other examples. The description of this example is having added the P type well 16 to the base region 4 of the first example.

[0015] The example of the production process of this structure is shown in drawing 9. In drawing 9 (a), the P type well 16 is formed in the part in which a base region 4 is formed simultaneously with a diffusion layer 14. Here, the diffusion layer 14 and the P type well 16 may be connected. Since it is the same as that of the first example, the process after this is skipped. Since according to this example concentration of the base region directly under a source field can be made deep while losing the effect of the angle of a base region, it becomes possible beyond the first example to make it strong to destruction. In addition, this example can also be combined with the second example.

[0016] Drawing 10 explains other examples of this invention. Drawing 10 shows the top view and A-A' sectional view and B-B' sectional view of the mesh gate LDMOS cel section which are other examples. The description of this invention is

having removed the low resistance source field 5 in the angle of source opening. Thereby, since the current path of an angle is lost, the short channel effect in an angle does not show up. Moreover, buildup of the on resistance by having used this invention by making area of deletion into the minimum does not appear.

[0017] Drawing 11 explains other examples of this invention. Drawing 11 shows the top view and A-A' sectional view and B-B' sectional view of the mesh gate LDMOS cel section which are other examples. The description of this invention is having formed in the angle of a base region 4 the P type field 17 where concentration's is comparatively high. The high impurity concentration of the P type field 17 is higher than a base region 4, and its low thing is more desirable than the source field 5, and it is about three 1×10^{18} /cm. This formation is performed by the self aryne with the gate electrode 8 after pattern NINGU of the gate electrode 8. Also by this invention, the threshold electrical potential difference in an angle could be made high, and the short channel effect was able to be suppressed.

[0018] Drawing 12 explains other examples of this invention. Drawing 12 shows the top view of the mesh gate LDMOS cel section which are other examples. The description of this invention is having made it radii mostly by using the angle of source opening as an obtuse angle. In the case of this example, longitudinal direction flare distance of the base region 4 in an angle was able to be made almost comparable as the side by making opening into 16 square shapes and bringing close to radii.

[0019] Drawing 13 explains other examples of this invention. Drawing 13 shows the block diagram of the semiconductor integrated circuit 306 which constituted the output component 307 which drives the motor 310 which is an external load from LDMOS of the first example, and the hard disk driver equipment which consisted of microprocessor 302 grades which control the output component 307. 300 -- the whole hard disk driver control board and 301 -- for an A/D converter, a D/A-converter chip, and 305, an analog amplifier chip and 306 are [a SCSI controller chip and 302 / a microprocessor chip and 303 / a data-processor chip and 304 / the Motor Driver integrated circuit chip and 310] the motors for head actuators. Moreover, for 307, in the Motor Driver integrated circuit chip 306, LDMOS for motorised and 308 are [the protection network section and 309] the control circuit sections. Here, the supply voltage of 311 is 3V [common to each chip]. With this supply voltage, in order to make LDMOS307 for an output turn on thoroughly, high impurity concentration of the base region of LDMOS307 is made low in about three 2×10^{13} /cm, and the threshold electrical potential difference is set to 0.5V. According to the conventional technique, the short channel effect in a mesh became much more remarkable by making base density low, dispersion in a threshold electrical potential difference, pressure-proof lowering, and avalanche destruction took place, and the activity with 3V power source was not completed. However, by this example, the effect of an angle could be lost, and there was little dispersion in a threshold electrical potential difference, and it was able to realize LDMOS of 3V actuation strong against destruction.

[0020]

[Effect of the Invention] According to this example, since the effect of the angle of the base region of the polygon mesh gate can be lost, compared with the conventional technique, there is effectiveness of improvement in the destructive tolerated dose by reduction of dispersion in a threshold electrical potential difference and control of parasitism bipolar actuation. From conventional $0.3V$, the conventional technique is large more than twice, and, specifically, the avalanche destructive current at the time of inductance load actuation can be carried out for dispersion in the threshold electrical potential difference in a wafer $0.1V$.

[Translation done.]